

(11) Japanese Patent Application Laid-Open No. 9-69610 (1997):

"INTEGRATED SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME"

5 The following is an extract relevant to the present application.

 A method of manufacturing a semiconductor device comprising a step
of oxidizing an exposed portion of a monocrystalline silicon film 100 to form a
thick oxide film 900 for element isolation, using the common LOCOS method
using a silicon nitride film having a thickness of 100nm formed by the use of
10 the CVD method.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-69610

(43) 公開日 平成9年(1997)3月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/08 29/786	3 3 1		H 0 1 L 27/08 29/78	3 3 1 E 6 1 9 A

審査請求 未請求 請求項の数11 O L (全 7 頁)

(21) 出願番号 特願平7-223412

(22) 出願日 平成7年(1995)8月31日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 久本 大

東京都国分寺市東恋ヶ塚1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 芝 健夫

東京都国分寺市東恋ヶ塚1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 薄田 利幸

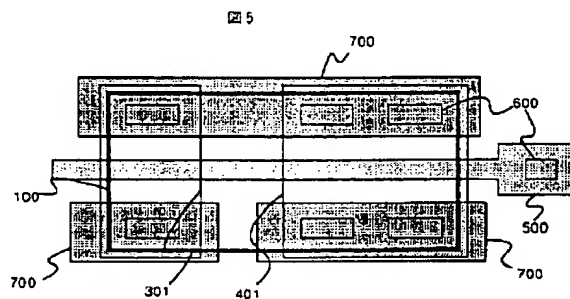
(54) 【発明の名称】 集積半導体装置およびその製造方法

(57) 【要約】

【目的】 基板フローティング効果を抑制できる薄膜SOI-MOSFETおよびこのMOSFETを、通常のMOSプロセスで形成できる製造方法を提供する。

【構成】 SOI層の1つの活性領域内に、少なくとも1つのNMOSFETとPMOSFETを混在させ、NMOSFETのチャネルをPMOSFETのソースまたドレインと電気的に接続させる。

【効果】 NMOSFETのチャネルで発生したホールが、PMOSFETの拡散層から排出されるため、基板フローティング効果が防止される。



【特許請求の範囲】

【請求項1】半導体基板上に形成された絶縁膜と、当該絶縁膜上に形成され、分離用絶縁膜によって包囲された単結晶半導体膜からなる活性領域と、当該活性領域内にそれぞれ形成されたPチャネル絶縁ゲート型電界効果トランジスタとNチャネル絶縁ゲート型電界効果トランジスタを少なくとも具備し、上記Nチャネル絶縁ゲート型電界効果トランジスタのチャネル領域は、上記Pチャネル絶縁ゲート型電界効果トランジスタのソース領域またはドレイン領域と電気的に接続されていることを特徴とする集積半導体装置。

【請求項2】上記Pチャネル絶縁ゲート型電界効果トランジスタとNチャネル絶縁ゲート型電界効果トランジスタは、共通なゲート電極を有していることを特徴とする請求項1に記載の集積半導体装置。

【請求項3】上記ゲート電極は、上記活性領域を横切って形成され、上記Pチャネル絶縁ゲート型電界効果トランジスタとNチャネル絶縁ゲート型電界効果トランジスタのソース領域およびドレイン領域は、それぞれ上記ゲート電極を介して互いに対向して配置されていることを特徴とする請求項2に記載の集積半導体装置。

【請求項4】上記活性領域の、上記Pチャネル絶縁ゲート型電界効果トランジスタのソース領域およびドレイン領域と上記Nチャネル絶縁ゲート型電界効果トランジスタのソース領域およびドレイン領域の間に介在する部分の幅は、上記ソース領域およびドレイン領域の幅より小さいことを特徴とする請求項3に記載の集積半導体装置。

【請求項5】上記ゲート電極は、上記活性領域の外部において金属配線と接続されていることを特徴とする請求項1から4のいずれかに記載の集積半導体装置。

【請求項6】上記金属配線は、上記ゲート電極の上面に接続されていることを特徴とする請求項6に記載の集積半導体装置。

【請求項7】上記Pチャネル絶縁ゲート型電界効果トランジスタとNチャネル絶縁ゲート型電界効果トランジスタによってインバータ回路が構成されていることを特徴とする請求項1から6のいずれかに記載の集積半導体装置。

【請求項8】上記インバータ回路は、上記Pチャネル絶縁ゲート型電界効果トランジスタのソース電極と上記Nチャネル絶縁ゲート型電界効果トランジスタのソース電極の間のリーク電流が、上記Nチャネル絶縁ゲート型電界効果トランジスタがオフ状態にあるときのリーク電流より小さな電圧領域で動作されることを特徴とする請求項7に記載の集積半導体装置。

【請求項9】半導体基板の表面上に形成された絶縁膜上に単結晶シリコン膜を形成する工程と、当該単結晶シリコン膜を分離用絶縁膜で包囲して活性領域を形成する工程と、当該活性領域上にゲート絶縁膜を形成する工程

と、当該ゲート絶縁膜上に所定の形状を有するゲート電極を形成する工程と、当該ゲート電極および上記活性領域の第1の部分に開口部を有するマスクを介して上記第1の部分に第1導電型不純物をドーピングして第1導電型高濃度不純物領域を形成する工程と、上記ゲート電極および上記活性領域の上記第1の部分とは異なる第2の部分に開口部を有するマスクを介して上記第2の部分に第2導電型不純物をドーピングして第2導電型高濃度不純物領域を形成する工程を有する集積半導体装置の製造方法。

【請求項10】上記ゲート電極は、上記分離用絶縁膜の一方の側上から上記ゲート絶縁膜上を介して上記分離用絶縁膜の上記一方の側に対向する側上に延伸して形成されることを特徴とする請求項10に記載の集積半導体装置の製造方法。

【請求項11】上記ゲート電極を形成した後、当該ゲート電極を覆う保護絶縁膜を形成する工程と、上記活性領域の外側の上記保護絶縁膜に開口部を形成して上記ゲート電極の表面を露出する工程と、上記保護絶縁膜に開口部を介して上記ゲート電極に接続された配線を形成する工程が付加されることを特徴とする請求項11に記載の集積半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積半導体装置およびその製造方法に関し、とくに、絶縁膜上に形成された単結晶半導体膜を用いて形成された絶縁ゲート型電界効果トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】絶縁膜上に形成された薄いシリコン単結晶膜(SOI膜)に形成された薄膜SOI-MOSFET(Silicon On Insulator-Metal Oxide Semiconductor Field Effect Transistor)は、シリコンの微細加工プロセスを用いて、一つの基板上に高い密度で集積化できること、および従来の単結晶半導体基板を用いた場合に比べて、形成されたトランジスタの持つ寄生容量が小さいために高速動作に適しているなどの長を有しており、注目されてきた。

【0003】しかし、通常の半導体基板を用いた従来の場合は、基板電極を用いてチャネル部にバイアス電位を印加してし、チャネル部を所定電位に保っていたのに対し、SOI-MOSFETでは、SOI膜の下に絶縁層が存在するため、チャネル部をバイアスすることができず、“基板フローティング”と呼ばれる状態になり、安定な動作が困難であるという問題があった。

【0004】すなわち、NMOSのチャネル部にはホールが蓄積されるために、オフ状態でも大きなリーク電流を流れてしまい、また、オン状態でも、電流特性にキックを生じて、良好な特性が得られないなどの問題点が報告されている。このような好ましくない現象は、P-MOSでは比較的少ないが、衝突電離係数の大きなNMO

Sにおいて、特に顕著に現れることが知られている。

【0005】この課題を解決するために、チャネル部にゲート電極を介してバイアスする方法が、例えば、アイ・イー・イー・イー・エレクトロン・デバイス・レター、1994年12月号第510頁から第512頁(IEE E Electron Devices Letter, vol. 15, No. 12, pp.510-512, 1995)に提案されている。

【0006】図1は、そのデバイスの構造を示す平面配置図である。図1から明らかなように、この平面配置は、単結晶基板に形成された従来のMOSFETと同じ配置をとっている。この構造の特徴は、活性領域100がゲート500に合わせる形にパターンニングされ、活性領域100に対する配線からのコンタクト(図示せず)が、ゲート電極500に対するコンタクト600と同時に形成されている点である。

【0007】図2は、図1に示した構造における活性領域100の平面形状を示したものであり、ゲートのコンタクト部が突出した、いわゆるドックボーン形状になっている。上記コンタクトは、図3に示した断面形状から明らかなように、コンタクトホールがゲート500を貫通しているため、ゲート500のみではなく、ゲート500の下に設けられた活性領域100に対しても、金属配線700がコンタクトされている。なお、図3において、記号120はシリコン基板、110はシリコン酸化膜、910はゲート酸化膜を、それぞれ表す。

【0008】

【発明が解決しようとする課題】上記、従来技術では、活性領域100を形成する際に、ゲート500に合わせて微細なパターンニングをする必要がある、コンタクトの形成には、ゲート500を貫通し、かつ、薄いシリコン層100を突き抜けないように開口部を形成する必要がある。また、ゲート500へのコンタクトを、ゲート500の側面のみで行わなければならないなど、通常のMOSトランジスタプロセスでは行われない工程を行なうことが必要であり、高集積化には不適であるという問題があった。

【0009】本発明の目的は、上記従来の問題を解決し、上記特殊な工程を行うことなくしに基板フローティングが生ずる恐れのないSOI-MOSFETおよびこのようなSOI-MOSFETを容易に形成することができる半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明は、SOI膜の活性領域内にNMOSFETおよびPMOSFETを形成し、PMOSFETの拡散層(ソース、ドレイン)が、NMOSFETのチャネルと電気的に接続するように配置するものである。

【0011】

【作用】NMOSFETのチャネルは、PMOSFETの拡散層を介してバイアスされるため、基板フローティ

ングの問題は解決される。また、PMOSFETとNMOSFETの配置を変更するものであるから、上記従来技術のような特殊な工程は不要であり、従来のMOSプロセスと同じ加工によって容易に形成することができる。

【0012】

【実施例】以下、実施例を用いて本発明を詳細に説明する。

【0013】(実施例1)図4は、NMOSFETおよびPMOSFETを用いた、CMOS(Complimentary MOS)の基本となる、CMOSインバータを示したものである。CMOSインバータは、1つのNMOSFETと1つのPMOSFETを組み合わせただけで形成できる。また、電源配線a、d間には、いずれかのFETがオフ状態となるため電流が流れないという特徴があるため、CMOSによって回路を構成するときの基本単位となっている。

【0014】図5に本実施例のインバータの平面配置を示した。ゲート500は、太線で示した活性領域100を横切って設けられている。記号301は、NMOSFETのソース、ドレインを、第1導電型不純物のイオン打ち込みによって形成するためのマスクパターンを表し、401はPMOSFETのソース、ドレイン形成用のマスクパターン、600はゲート電極やソース、ドレイン電極へのコンタクト、700は配線の位置を、それぞれ示す。ただし、図5は、基本単位であるインバータについて説明するためのものであり、700は各拡散層電極に接続された配線を部分的に示す。

【0015】図5に示した構造のインバータにおける、拡散層およびゲートの配置を図6に示した。図6から明らかなように、N型高濃度不純物領域300およびP型高濃度不純物領域400は、それぞれゲート500の両側に対向して配置され、N型高濃度不純物領域300とP型高濃度不純物領域400の間には、P型低濃度のスペース450が介在している。このスペース450は、反対導電型の高濃度不純物層が重なって形成されると、耐圧が著しく劣化するため、それを防止するために、N型高濃度不純物領域300とP型高濃度不純物領域400の間に設けたものである。

【0016】インバータとして動作させるには、NMOSFETの電源電極aに接地電位、PMOSFET側dに正電位Vccを、それぞれ加える。このとき、電源電極側の活性領域100では、N型不純物拡散層300とスペース450の間のPN接合は順方向にバイアスされているため、この電源間リーク電流を抑えるように動作させる必要がある。

【0017】本実施例のMOSFETにおける、ソース電極の電流Isのゲートバイアス電圧Vg依存性を図19に示した。スペース450の電位は、ドレイン電圧Vccに一致させた。Isは、順方向バイアスによって生

じた接合リーク電流である。図20は、このPN接合の接合特性を示し、スペース450側の電位を V_{bb} として示している。正方向にバイアスすることによってPN接合がオン状態となり電流が流れる。しかし、いわゆるビルトイン・ポテンシャルがあるため、 V_{bb} の小さな領域では、ほとんど電流は流れない。すなわち、 V_{cc} のときの電流 I_0 が図19におけるリーク電流として現われる。そのため、チャネル電流がリーク電流に比べ大きな領域で用いられれば、接合リークは問題にならなくなる。例えばスペース450の不純物濃度を $10^{17}/\text{cm}^3$ 程度にすれば、電源電圧0.4Vで動作させることができる。このとき、NMOSFETのチャネルはスペース450を介してP型電極400に接続されているため、チャネルで発生したホールは、拡散層400に流入し、基板フローティングは抑制される。

【0018】図7から13は、本実施例の半導体装置の製造工程を示す図であり、そのうち、図7から図8および図13は、図6のゲートを含んだA-A'断面、それ以外の図は図6のB-B'断面を示す。

【0019】まず、図7に示したように、シリコン基板120上にシリコン酸化膜110および厚さ100nmの単結晶シリコン膜100を周知の方法を用いて形成してSOI基板を形成した。

【0020】次に、図8に示したように、周知の熱酸化法を用いて形成した厚さ10nmのシリコン酸化膜およびCVD法を用いて形成した厚さ100nmのシリコン窒化膜を用いた周知のLOCOS法によって、単結晶シリコン膜100の露出された部分を酸化して、素子分離用の厚い酸化膜900を形成した後、酸化のマスクとして用いた上記シリコン窒化膜および酸化膜を除去した。上記単結晶シリコン膜100の表面を熱酸化して、厚さ5nmのゲート酸化膜910を形成した後、周知のCVD法を用いて、高濃度にリンがドーピングされた多結晶シリコン膜を形成し、ホトレジスト法によって不要部分を除去して、多結晶シリコンからなるゲート電極500を形成した。

【0021】上記ゲート電極500および図5に示したマスクパターン301をマスクとして、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ 、加速電圧25keVという条件でヒ素をイオン打ち込みし、図9に示したように、低抵抗のN型拡散層300を形成した。

【0022】同様に、上記ゲート電極500および図5に示したマスクパターン401をマスクとして、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ 、加速電圧5keVという条件でボロンをイオン打ち込みし、図10に示したように、低抵抗のP型拡散層400を形成した。

【0023】周知のCVD法を用いて、BPSG(ホウ素・リン・ケイ酸ガラス)膜920を形成し、熱処理を行なって表面を平坦化した後、図11に示したように、周知のホットエッチングによって所定部分を選択的に除去し

て、ゲート電極500、N型拡散層300およびP型拡散層400の表面を露出させるにコンタクト孔を形成した。

【0024】周知の金属膜の形成とホットエッチングを行って、図12、13に示したように金属配線700を形成し、半導体装置を形成した。図12は、N型拡散層300およびP型拡散層400に接続する配線700の形成を示し、図13はゲート500に接続する配線700の形成を示す。この場合、コンタクト孔は、図3に示した従来の技術とは異なり、ゲート500の表面を露出させるのみであって、ゲート500を貫通していない。そのため、金属配線700とゲート500の接続は、ゲート500の上面において行われ、両者の接触面積が大きく、高い信頼性が得られる。

【0025】〈実施例2〉図14および15は、本発明を適用して形成された3入力のNANDゲートの配置を示した図である。N導電型不純物拡散層300とP導電型不純物拡散層400を、例えば図14に示したように、それぞれ複数個配置し、これら複数の不純物拡散層300、400から所望のものを選択して、例えば図15に示したように、配線700によって互いに接続する。配線700のパターンを変えることによって各種回路を構成することができ、図15に示したパターン以外にも、目的に応じて変形できることは、いうまでもない。

【0026】図16は、リーク電流を低減させるために、活性領域100のパターンを工夫して、上記スペース450の面積を小さくした例を示したものである。リーク電流は、N導電型不純物拡散層300とスペース450の間のPN接合において生ずるが、上記スペース450の面積を小さくして、この部分におけるPN接合の面積を減少させることにより、リーク電流を効果的に減少させることができた。

【0027】図17は、上記スペース450の面積をさらに小さくして、リークをさらに低減させた例を示した。この場合、スペース450のパターニングやゲート電極500をパターニングによって形成する際の合わせ精度等に問題があるが、順方向バイアスとなる接合がないため、広い動作電圧範囲を得ることができる。

【0028】図18は、図17において、ゲート500の形状を変えてリーク電流を減少させた例を示す。もちろん、活性領域100およびゲート500の両者の形状を、いずれも変えてもよい。

【0029】

【発明の効果】NMOSFETとPMOSFETを、通常のMOSプロセスによって、同じ活性領域内に形成することにより、NMOSFETのチャネルで発生したホールを、PMOSFETの拡散層に吸収することができる。基板フローティングの発生を防止ことができる。

【0030】上記実施例では、本発明をCMOSイバー

タに適用した例を示したが、CMOSインバータは各種CMOSデジタルの基本となるものであるから、インバータを用いた従来の多くの回路構成にそのまま使用できることは、いうまでもない。

【図面の簡単な説明】

【図1】従来の活性領域とゲートの平面配置を示す図、

【図2】従来の活性領域平面形状を示す図、

【図3】従来のSOI-MOSFETを示す断面図、

【図4】本発明を説明するための等価回路図、

【図5】本発明を説明するための平面配置図、

【図6】本発明を説明するための平面配置図、

【図7】本発明の実施例1の製造方法を示す工程図、

【図8】本発明の実施例1の製造方法を示す工程図、

【図9】本発明の実施例1の製造方法を示す工程図、

【図10】本発明の実施例1の製造方法を示す工程図、

【図11】本発明の実施例1の製造方法を示す工程図、

【図12】本発明の実施例1の製造方法を示す工程図、*

*【図13】本発明の実施例1の製造方法を示す工程図、

【図14】本発明の実施例2を示す平面配置図、

【図15】本発明の実施例2を示す平面配置図、

【図16】本発明の実施例2を示す平面配置図、

【図17】本発明の実施例2を示す平面配置図、

【図18】本発明の実施例2を示す平面配置図、

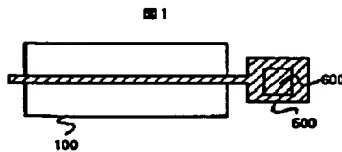
【図19】本発明の動作を説明するための特性図、

【図20】本発明の動作を説明するための特性図。

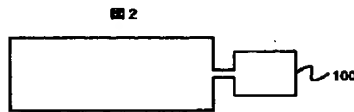
【符号の説明】

100……活性領域、110……シリコン酸化膜、120……シリコン基板、300……N型高濃度不純物拡散層、301……N型用マスクパターン、400……P型高濃度不純物拡散層、401……P型用マスクパターン、450……スペース、500……ゲート、600……コンタクト、700……金属配線、900……シリコン酸化膜、910……ゲート酸化膜、920……層間絶縁膜。

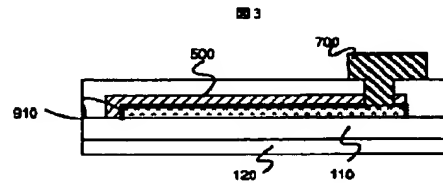
【図1】



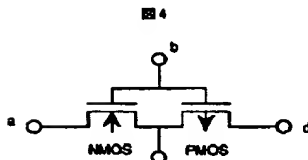
【図2】



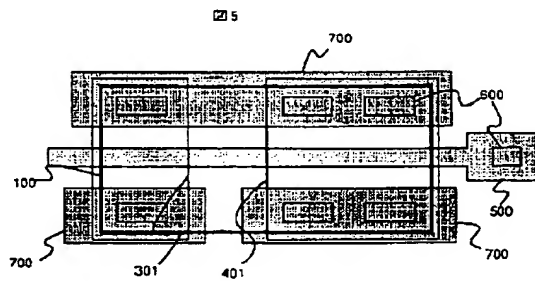
【図3】



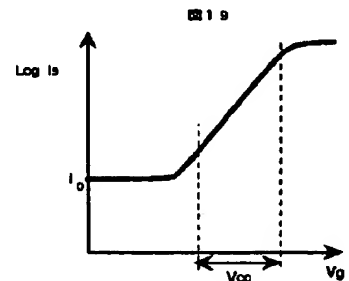
【図4】



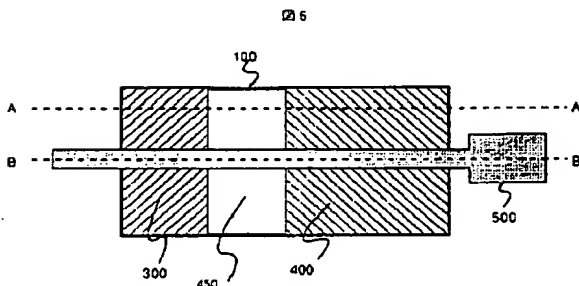
【図5】



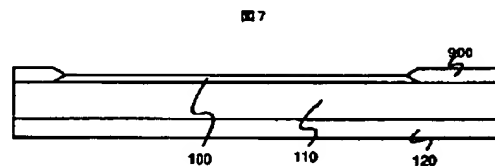
【図19】



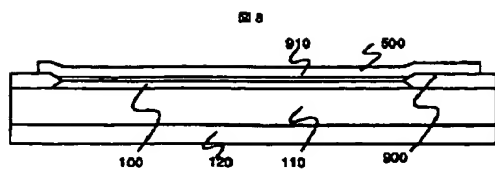
【図6】



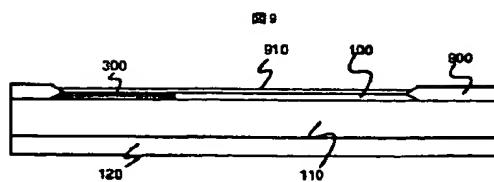
【図7】



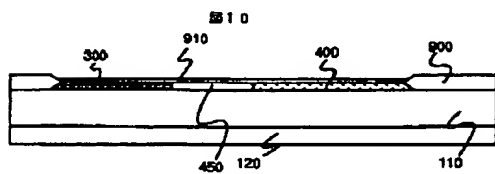
【図8】



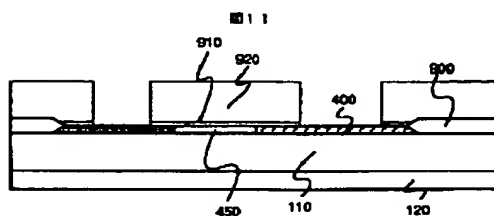
【図9】



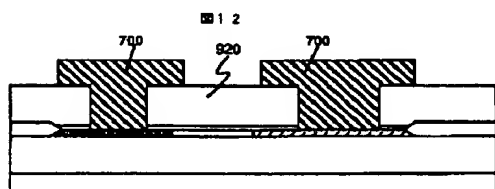
【図10】



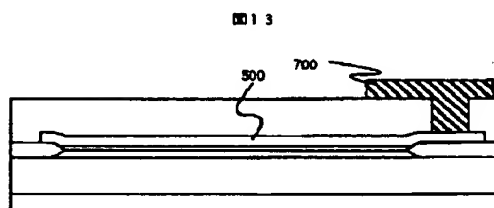
【図11】



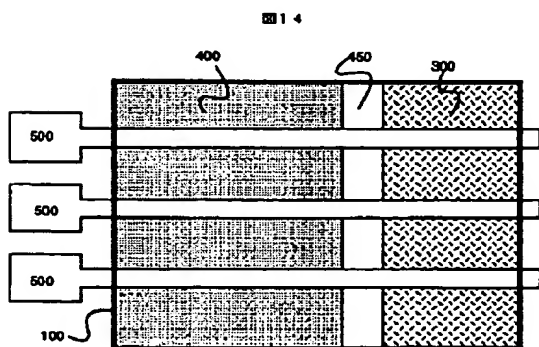
【図12】



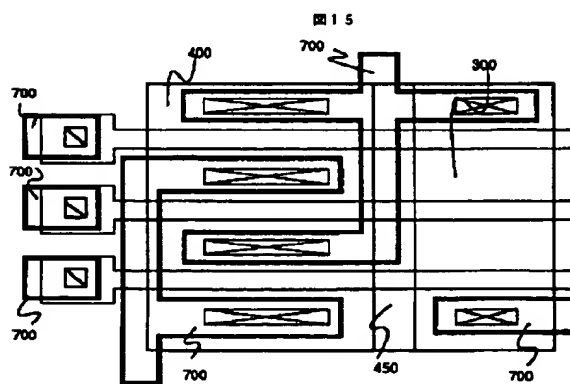
【図13】



【図14】

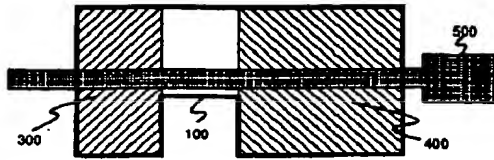


【図15】



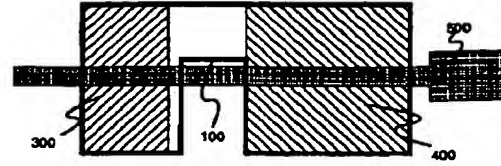
【図16】

図16



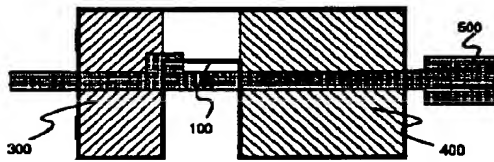
【図17】

図17



【図18】

図18



【図20】

図20

